

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

ERICSSON TEI - T DIVISION
SYSTEM AND VALIDATION DEPARTMENT

Proposta implementativa n.1
UNITA' BASE STATION DECT KRCF 201 8001

LISTA DI DISTRIBUZIONE

Da: TEI/TU

A:

- [1] **TEI/TU A. Giannetti**
- [2] **TEI/TU A. Tognoni**
- [3] **TEI/TH F. Testa**
- [4] **TEI/TH R. Norbiato**
- [5] **TEI/TH P. Zordani**
- [6] **CSELT E. Giorio**
- [7] **CSELT F. Buscaglia**

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

**Modifiche eseguite su unita' RFP DECT KRCF 201 8001
in relazione alle problematiche di compatibilita' riscontrate
in CSELT durante le prove di accettazione**

INDICE

- 1 **GENERALITA'**
- 1.1 **Argomento**
- 1.2 **Scopo**
- 1.3 **Abbreviazioni**
- 2 **REQUISITI DI COMPATIBILITA'**
- 2.1 **Descrizione dei requisiti**
- 3 **AZIONI**
- 3.1 **Analisi**
- 3.2 **Implementazione**
- 3.3 **Schemi funzionali**
- 4 **MISURE**
- 4.1 **Simulazioni**
- 4.2 **Misure al banco**
- 4.3 **Test di sistema**
- 5 **RISULTATI**

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

1 GENERALITA'

1.1 Argomento

Le prove di accettazione della Base Station DECT Ericsson KRCF2018001, condotte in CSELT, hanno messo in evidenza alcune mancanze di compatibilita' con le specifiche relative allo standard DECT di livello fisico (MAC). In particolare si e' evidenziato che la RFP Ericsson soffre di problemi di sincronizzazione nel caso in cui il pattern di sincronismo (preambolo), trasmesso da un mobile, risulta ai limiti delle specifiche contemplate per lo standard DECT-CTM.

A tale proposito, Ericsson propone una serie di modifiche sulla RFP in oggetto atte a soddisfare appieno i requisiti di Telecom Italia.

1.2 Scopo

Lo scopo del presente documento e' quello di descrivere le modifiche apportate alla RFP di cui sopra al fine di poter effettuare una ulteriore valutazione della Base Station, cosi' modificata, presso i laboratori CSELT di Torino onde ottenerne l'accettazione.

1.3 Abbreviazioni

RFP	Radio Fixed Part
RNC	Remote Node Controller
PP	Portable Part
DECT	Digital Enhanced Cordless Telecommunications
CTM	Cordless Telecommunication Mobility
PCB	Printed Circuit Board
PBA	Printed Board Assembly
ASIC	Application Specific Integrated Circuit
WER	Word Error Ratio
BER	Bit Error Ratio

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

2 REQUISITI DI COMPATIBILITA'

Lo standard DECT di livello fisico prevede che il pattern di sincronizzazione (preambolo), che viene trasmesso dalla RFP e dal PP, puo' essere costituito da 16 o piu' bit (max.32) a livello logico 0 e a livello logico 1 alternati in sequenza. Il preambolo viene trasmesso prima della parola di allineamento di ogni singolo timeslot ed e' diversificato in funzione se viene emesso da un mobile o da una Stazione Base. In particolare, il mobile genera un preambolo composto da un minimo di sedici bit a livelli logici alternati, dei quali il primo bit deve essere un 1 logico.

2.1 Descrizione dei requisiti

I requisiti di tasso di errore massimo che Telecom Italia impone per una Base Station DECT con un segnale pari a -73 dBm di f.e.m. in ingresso al ricevitore tramato DECT e modulato GFSK deve essere inferiore a $1e10^{-4}$ (Word Error Ratio) e $1e10^{-5}$ (Bit Error Ratio) misurato in un intervallo temporale equivalente alla trasmissione di 160 milioni di trame. Tali condizioni devono essere soddisfatte qualunque sia la lunghezza del preambolo, da sedici a trentadue bit. Inoltre, nel caso di preambolo corto (16 bit), si vuole soddisfare le seguenti condizioni:

- Il segnale ricevuto e' modulato con una sequenza di 5 bit a livello logico 1 subito dopo il ramp-up, prima dell'inizio della sequenza del preambolo.
- Il segnale ricevuto non e' modulato per un periodo equivalente alla durata di 5 bit subito dopo il ramp-up, prima dell'inizio della sequenza del preambolo.
- La sequenza del preambolo inizia in corrispondenza della fine del ramp-up di trasmissione.

In tutte queste condizioni, il tasso di errore della Base Station Ericsson era superiore a $3e^{-2}$ (WER) e $2e^{-3}$ (BER), cioe' piu' di due ordini di grandezza superiori rispetto al limite massimo previsto da Telecom Italia.

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

3 AZIONI

3.1 Analisi

A seguito di una serie di misure effettuate su un certo numero di RFP non ancora modificate, sono stati riscontrati due problemi piuttosto rilevanti:

- Il primo problema e' stato diagnosticato nel dispositivo SLICER, ovvero la parte di circuito che elabora il segnale analogico presente all'uscita del demodulatore per ricostruire un segnale digitale in grado di essere immesso sul pin di ingresso RX del componente ASIC.
- Il secondo problema, il piu' grave, e' contenuto all'interno dell'ASIC, quindi, apparenemente irrisolvibile.

In ogni caso, con la mancata soluzione di uno solo di questi due problemi non si sarebbe potuto garantire il superamento delle prove di accettazione. Di conseguenza, si e' dovuto agire su entrambi onde poter garantire la piena compatibilita' con le specifiche imposte dal cliente Telecom Italia.

A) **Analisi e soluzione del problema riscontrato sul circuito SLICER.**

Lo schema di principio del circuito SLICER e' riportato in fig.2-A. Esso elabora il segnale all'uscita del demodulatore e ricostruisce il segnale digitale col quale il terminale modula il suo trasmettitore. L'operazione di ricostruzione del segnale digitale e' relativamente semplice e viene affidata ad un comparatore analogico che effettua la comparazione tra il segnale demodulato e un livello di tensione continua (offset), che ne rappresenta il valor medio, e che condiziona il punto di threshold del comparatore. Questa tensione viene ottenuta integrando il segnale all'uscita del demodulatore attraverso un circuito di integrazione a tre diverse costanti di tempo. Essa puo' subire variazioni piuttosto consistenti nel caso in cui non venga ricevuta alcuna portante RF, oppure nel caso di ricezione di segnali interferenti. Comunque, il suo livello e' strettamente legato al punto di lavoro del demodulatore stesso.

Il motivo per cui la costante di tempo dell'integratore debba essere necessariamente diversificata e' dovuto principalmente al sistema

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

trasmissivo con cui viene trasmessa l'informazione (TDMA). In questo caso, esso e' organizzato in 24 time slots, dei quali 12 sono utilizzati per il collegamento dai portatili verso la base station (up-link) e altri 12 per il collegamento della base station verso i portatili (down-link). I time slots di ricezione (up-link) sono posizionati in sequenza; pertanto, onde evitare che la tensione di offset determinata in un ipotetico timeslot di up-link possa influire sul livello di offset del timeslot successivo e' indispensabile distinguere temporalmente l'operazione di integrazione e quindi di ricostruzione del segnale digitale. Inoltre, il contenuto di informazione, all'interno di ogni singolo timeslot, non puo' essere considerato omogeneo. Infatti, mentre i campioni del segnale vocale in ADPCM possono essere assunti come una sequenza di dati randomici per una certa unita' di tempo, i dati contenuti nel campo S (sincronizzazione) sono identici in ogni time slot e, peraltro, individuabili all'interno di una finestra temporale ben definita. Essi contengono la parola di allineamento, costituita da 16 bit, nonche' un gruppo di bit, di numero compreso tra 16 e 32, che costituiscono il cosiddetto "preambolo di sincronizzazione". Esso e' formato da una sequenza di livelli logici alternati fra loro. Tale sequenza, avente la massima densita' di transizioni, rappresenta il riferimento temporale necessario per allineare rapidamente la fase del clock interno. Tale procedura e' indispensabile per distinguere la parola di allineamento, e per inizializzare la sincronizzazione dell'intero timeslot.

Pertanto, e' possibile distinguere la modalita' di estrazione della tensione di offset in tre fasi. All'inizio di ogni timeslot di up-link si fa in modo che la tensione di offset, eventualmente contaminata da disturbi presenti nei timeslot precedenti, possa rapidamente essere posizionata al centro dell'involuppo del segnale demodulato appena viene ricevuta la portante modulata del portatile. Per ottenere cio', e' indispensabile che la banda passante del circuito integratore sia molto larga prima dell'inizio del timeslot (Ultra-Fast Slice), ovvero prima di iniziare il rifasamento rapido del clock interno, per cui dovrebbero essere sufficienti gli ultimi sedici bit di preambolo che precedono la parola di allineamento.

Peraltro, e' anche importante che quest'ultima venga correttamente equalizzata in funzione della massima sequenza di livelli logici uguali consecutivi previsti (3 bit), in modo da minimizzare gli errori provocati dal jitter, inevitabilmente presente in particolari condizioni di ricezione. Questa fase, della durata di trentadue bit, e' denominata Fast Slice ed e' temporalmente allocata subito dopo quella di Ultra-

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

Fast sopra descritta. Essa prevede il restringimento della banda passante del circuito integratore di circa un ordine di grandezza rispetto a quella precedentemente utilizzata nella fase di Ultra-Fast. Infine, si congela il valore della tensione di offset durante la ricezione del campo D stringendo ulteriormente la banda del circuito integratore. Questa fase prende il nome di Slow Slice.

Originariamente il sistema DCT1800 prevedeva un allungamento del preambolo di sincronizzazione pari a 10 bit (26 bit complessivi) in modo da garantire la perfetta sincronizzazione della parola di allineamento. Questo allungamento era indispensabile per garantire un veloce recupero della tensione di offset di ogni singolo timeslot e per dare modo al componente ASIC di ottimizzare il recupero della fase del clock interno. Purtroppo, e' stato verificato che, con soli 16 bit di preambolo, esso saltuariamente fallisce la procedura di sincronizzazione, anche se il segnale digitale ricostruito e' privo di jitter. Di conseguenza, il tasso di errore WER assume valori molto alti, anche con un elevato campo RF in ricezione, in quanto il numero di bit di preambolo, utili per la correzione della fase del clock interno, risulta minore dei sedici teorici, e cio' e' principalmente dovuto alla imperfetta strategia di recupero della tensione di offset che necessita di un tempo finito, di almeno quattro bit, per ottimizzare il punto di lavoro del comparatore. In questo modo si fornisce al componente ASIC un tempo pari alla durata di meno di dodici bit per effettuare l'allineamento del clock interno e cio' e' assolutamente insufficiente. Essendo, dunque, improponibile la ricostruzione del livello di offset del comparatore durante la ricezione del preambolo di sincronizzazione, e' indispensabile cambiare questa strategia, e quindi l'architettura dello stadio Slicer.

In figura 2-B, e' rappresentato lo schema a blocchi dello stadio Slicer modificato.

Al fine di predisporre la tensione di offset in modo che il punto di lavoro del comparatore sia gia' ottimizzato all'arrivo del primo bit del preambolo ricevuto di ogni singolo timeslot, e' stata iniettata una tensione di offset aggiuntiva, ma dominante, nel circuito integratore durante la fase di Ultra-Fast. Tale tensione viene ottenuta attraverso una ulteriore integrazione pesata dell'intero inviluppo del segnale presente all'uscita del demodulatore senza distinzioni temporali. Infatti, il punto di lavoro del demodulatore puo' essere ricavato anche integrando il rumore che esso genera in mancanza di portante RF, cioe'

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

anche nel caso in cui i timeslots precedenti non fossero impegnati da nessun portatile. La ragione, invece, per cui questa ulteriore integrazione debba necessariamente essere pesata, e' dovuta al fatto che, in presenza di segnali interferenti, il mantenimento del punto di lavoro del demodulatore e' inversamente proporzionale al rapporto segnale-disturbo. Pertanto, in assenza di portante RF, un segnale disturbante qualsiasi causa macroscopiche variazioni del punto di lavoro del demodulatore, che potrebbero influire negativamente sulla ricostruzione della tensione di offset ottenuta senza distinzioni temporali. A questo proposito e' stato realizzato un comparatore a finestra che viene utilizzato per identificare e distinguere questi eventi di disturbo. Quando un segnale di disturbo viene rilevato, viene immediatamente disconnesso l'involuppo del segnale demodulato dal circuito integratore per poi essere automaticamente ripristinato alla fine del disturbo stesso. In questo modo, l'informazione del punto di lavoro del demodulatore non viene mai persa e, di conseguenza, e' sempre pronta per poter essere utilizzata quando e' necessario, ovvero all'inizio di ogni timeslot attivo di ricezione.

Questa modifica consente l'utilizzo del massimo numero di bit di sincronizzazione e, di conseguenza, il minimo numero di perdite di allineamento, mantenendo inalterata l'architettura della parte digitale della RFP. In questo modo il tasso di errore WER e' sceso notevolmente (3×10^{-4} per un campo ricevuto di -73 dBm), cioe' di quasi due ordini di grandezza rispetto ai valori osservati prima della modifica. In aggiunta a tale modifica e' stata anche cambiata la banda del circuito integratore durante la fase Slow Slice, in modo da ottimizzare le caratteristiche di BER. Anche il circuito di muting del demodulatore, attivo in corrispondenza dei timeslots di trasmissione e' stato adattato e ottimizzato per la nuova architettura dello stadio Slicer. Infine, anche la parte a radiofrequenza ha subito alcuni ritocchi, a monte e a valle degli stadi mixer e 1^aIF, al fine di ridurre le perdite dovute al matching imperfetto tra i vari stadi e, di conseguenza, ottimizzare le caratteristiche radio della RFP.

B) Analisi e soluzione del problema riscontrato nel componente ASIC.

Come e' stato gia' accennato, con le modifiche apportate al circuito Slicer si e' riusciti ad ottenere una drastica riduzione del tasso di errore WER. Tuttavia, esso e' ancora troppo elevato per rispettare le

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

specifiche richieste da TI ($<1e10^{-4}$ per un campo ricevuto di -73 dBm). La ragione per cui il WER non riesce a scendere ulteriormente e' dovuta a una criticita' interna al componente ASIC che, talvolta, non riesce ad allineare correttamente la fase del clock interno con quella del dato ricevuto durante il preambolo di sincronizzazione. Per validare questa ipotesi, sono state effettuate numerose misure in laboratorio. Una di esse e' stata determinante per la soluzione del problema.

Lo strumento DECT Test Set HP8923B genera un preambolo allungato costituito da 26 bit dei quali, i primi dieci sono sfasati di 180 gradi, e i sedici rimanenti sono in fase con la parola di allineamento.

Questo salto di fase, peraltro non previsto dalle specifiche ETSI, non sembra creare particolari problemi per la sincronizzazione della RFP. Pertanto, si e' pensato di sfruttare la finestra dell'Ultra-Fast Slice per inviare all'ASIC un preambolo falso, cioe' prima dell'arrivo degli ultimi sedici bit di quello ricevuto dal portatile, selezionando poi l'uscita del comparatore di ricezione al termine del ciclo dell'Ultra-Fast, ovvero esattamente all'inizio della sequenza degli ultimi sedici bit del preambolo ricevuto. Per ragioni di test, per fare in modo che la fase dei due preamboli sia sempre costante, e' indispensabile pre-settare opportunamente il contatore generatore del preambolo falso con un impulso determinato dal fronte di salita del segnale di Ultra-Fast. La differenza di fase esistente fra i due preamboli e' funzione del valore col quale viene pre-settato il contatore. Essendo la frequenza del clock pari a 18.432 MHz, ovvero un periodo pari a un sedicesimo di quello di un bit, e' possibile variare la fase dei fronti attivi dei due preamboli con estrema accuratezza.

Questa prova ha dimostrato quanto segue:

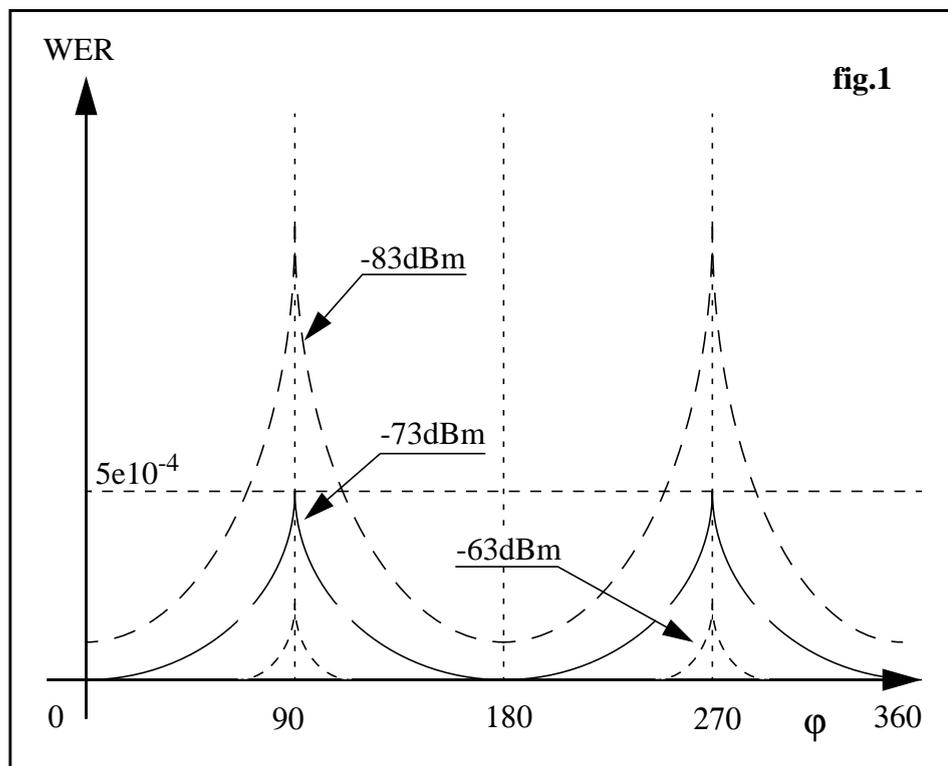
- Nel caso in cui la fase del preambolo falso coincida con quella del dato ricevuto, il tasso di errore WER e' **minimo** (prossimo a zero).
- Nel caso in cui la fase del preambolo falso sia opposta a quella del dato ricevuto (piu' o meno 180^0), il tasso di errore WER e' **minimo** (prossimo a zero).
- Nel caso in cui la fase del preambolo falso sia in anticipo o in ritardo di 90 gradi rispetto al dato ricevuto, il tasso di errore WER e' **massimo** (circa $5e10^{-4}$ con un segnale RF di -73 dBm).

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

- Nel caso in cui fra il preambolo falso e quello ricevuto viene interposto un intervallo temporale qualsiasi, privo di transizioni, valgono comunque i punti di cui sopra.

E' da notare che la situazione descritta al terzo punto, ovvero quella nella quale il tasso di errore e' massimo, quest'ultimo e' direttamente proporzionale all'intensita' del campo ricevuto. Cio' vale a dire che con uno scarso rapporto S/N del segnale demodulato, la probabilita' di fallire la sincronizzazione e' piu' alta rispetto a quando lo stesso rapporto e' maggiore. Ma il jitter presente all'uscita del comparatore di ricezione e' strettamente legato al rapporto S/N. Di conseguenza, anche nelle condizioni in cui le fasi siano prossime a quella piu critica, possono comunque essere rilevati errori indipendentemente dal livello di segnale ricevuto.

In sintesi, i risultati cosi' ottenuti possono essere espressi mediante il grafico di fig.1.



<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

Questo grafico mostra il livello di criticita' di sincronizzazione del componente ASIC utilizzato in questa RFP. Da esso si evince che, mediante soli sedici bit di preambolo di sincronizzazione, solo nel 50% dei casi la fase del clock interno risulta allineato con quella dei dati ricevuti. Nel rimanente 50% dei casi, la fase del clock interno puo' trovarsi disallineata rispetto al punto ottimale per il campionamento dei dati ricevuti. Quantizzare questo disallineamento e' molto semplice; esso puo' essere costituito da un fattore multiplo di 1/16 di bit compreso tra 1 e 8. In particolare, la situazione piu' critica e' quella in cui questo disallineamento e' equivalente a 1/4 di bit (fattore 8) per il quale il fronte di salita del clock interno e' prossima ai fronti del dato. Considerando che quest'ultimo e' affetto da jitter la probabilita' che questo evento si manifesti e' proprio quella che e' rappresentata in fig.1.

Pertanto, in base a tali considerazioni, e' possibile intuire l'architettura curcuitale interna al componente ASIC preposta ad effettuare l'allineamento del clock interno e, quindi, determinare il numero minimo di bit di preambolo ($16 + 8 = 24$) necessari a garantire sempre il corretto allineamento del clock interno al dato ricevuto.

E' evidente la necessita' di mettere a punto una strategia che consenta di garantire il corretto allineamento del clock interno al componente ASIC. A tale proposito e' indispensabile fornire a quest'ultimo l'informazione della fase del dato ricevuto prima che esso venga trasmesso. O meglio, onde evitare l'utopia, rifasare il segnale ricevuto con un riferimento interno (preambolo falso) inserito opportunamente in modo che esso preceda sempre l'inizio di ogni timeslot di ricezione.

Utilizzando opportunamente il segnale di Ultra-Fast Slice, e' possibile generare un preambolo falso (PF), di durata pari a circa 32 bit, che, una volta inserito in trama, fornisce all'ASIC la possibilita' di pre-sincronizzarsi con una fase nota. Dopodiche', in coincidenza con l'arrivo del preambolo ricevuto, nel caso in cui il timeslot fosse impegnato da un portatile, si calcola la differenza di fase tra il segnale ricevuto e quello di riferimento (PF) e si reinserisce in trama il dato ricevuto, con un ritardo opportuno, in modo che esso sia esattamente in fase (o in controfase) rispetto a quello di riferimento.

Poiche' non e' prevedibile la possibilita' che un generico timeslot di up-link sia impegnato o meno, la procedura di pre-allineamento viene ripetuta per ogni timeslot; tuttavia cio' non pregiudica in alcun modo la possibilita' di accesso di un portatile verso la RFP.

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

Peraltro, il preambolo falso e' in grado di essere mantenuto attivo al termine del segnale di Ultra-Fast Slice per un tempo equivalente a un numero intero di bit programmabile da 0 a 10 prima del reinserimento in trama del segnale ricevuto. Questo tempo di mantenimento e' necessario per garantire che il calcolo della differenza di fase, dei due segnali, avvenga sempre in coincidenza con l'arrivo di uno degli ultimi sedici bit del preambolo ricevuto dal portatile, anche se questo dovesse giungere in ritardo all'RFP a causa del suo allontanamento. Per contro, le tolleranze di sincronizzazione previste fra RFP adiacenti, costringono a mantenere dei margini in anticipo sull'inizio di ogni timeslot. Pertanto risulta improponibile l'attesa di un tempo maggiore di 10 bit prima di effettuare il calcolo della differenza di fase perche', altrimenti, questo potrebbe avvenire in coincidenza con l'arrivo della parola di allineamento di un portatile che sta tentando un hand-over. In questo caso tale parola verrebbe inevitabilmente e sistematicamente corrotta impedendo, quindi, l'accesso al portatile stesso.

Comunque, mediante la procedura di download del software di esercizio, e' possibile modificare a piacimento questo tempo di attesa, in modo da adeguare la base station a supportare le tolleranze specifiche previste dal sistema concentratore utilizzato (RNC).

In figura 3 e' rappresentato lo schema funzionale del dispositivo di pre-sincronizzazione realizzato con il componente EPM7064-LI-15 della ALTERATM.

L'asincronicita' dei segnali entranti nel dispositivo determina la necessita' di ricampionarli con il Master Clock MCLK.

I segnali relativi al dato in ingresso e all'Ultra-Fast Slice sono, quindi, ricampionati rispettivamente dai due Flip-Flop di tipo D, FF1 e FF2. Il segnale di Cycle-Start viene determinato sul fronte attivo dell'Ultra-Fast e ha una durata di circa 54 ns. Esso viene utilizzato per resettare il contatore 1 che svolge la funzione di timing di riferimento e di generazione del preambolo falso. Inoltre, tale contatore e' dotato di una uscita (STROBE) che genera un impulso in coincidenza con l'inizio di ciascun bit del PF.

Il Flip-Flop FF3 viene settato in coincidenza con l'impulso di Cycle-Start, selezionando cosi' il multiplexer, in modo da trasferire in uscita il preambolo falso.

Durante tutta la durata dell'Ultra-Fast il contatore 2 viene tenuto fermo e posizionato a un livello di conteggio determinato dagli ingressi SEL (SEL0-3) che rappresentano il ritardo con cui si vuole effettuare

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

la correzione (risoluzione di 1 bit). Di conseguenza, il Terminal Counter di questo contatore inibisce il reset del Flip-Flop FF3 attraverso la funzione di BLIND relativamente al generatore di impulsi (2). Al termine della fase di Ultra-Fast il contatore 2 e' abilitato al conteggio degli impulsi di STROBE. A fine conteggio, il suo Terminal Counter libera la funzione di BLIND consentendo, cosi', al Flip-Flop FF3 di poter essere resettato in coincidenza con l'arrivo del primo fronte attivo del dato in ingresso.

Il reset di FF3 determina automaticamente il calcolo del valore di differenza di fase tra il preambolo falso e il dato in ingresso con una risoluzione di 1/16 di bit (complemento a 15 del valore di conteggio del contatore 1). Tale valore viene memorizzato nel LATCH nello stesso istante in cui viene tolta la prioritá al multiplexer inserendo in uscita il dato opportunamente ritardato. Contemporaneamente il contatore 1 viene messo in uno stato di hold fino al timeslot successivo. Infine il Flip-Flop FF4 provvede a ricampionare il segnale digitale cosi' ottenuto rendendolo, quindi, disponibile sul pin di uscita.

La fig.4 rappresenta le timings del dispositivo in oggetto.

3.2 Implementazione

Le due soluzioni, A e B sopra descritte, sono state implementate su un unico supporto di vetronite (PCB) composto da quattro layers.

In particolare, i due layers interni sono dedicati all'alimentazione dei circuiti analogici e di quelli digitali. A tale proposito, essa e' stata volutamente differenziata in modo da evitare possibili interferenze alla parte radio dovute a disturbi di tipo condotto generati dal componente FPGA. Eventuali disturbi irradiati vengono invece soppressi da uno schermo metallico che ricopre i circuiti digitali.

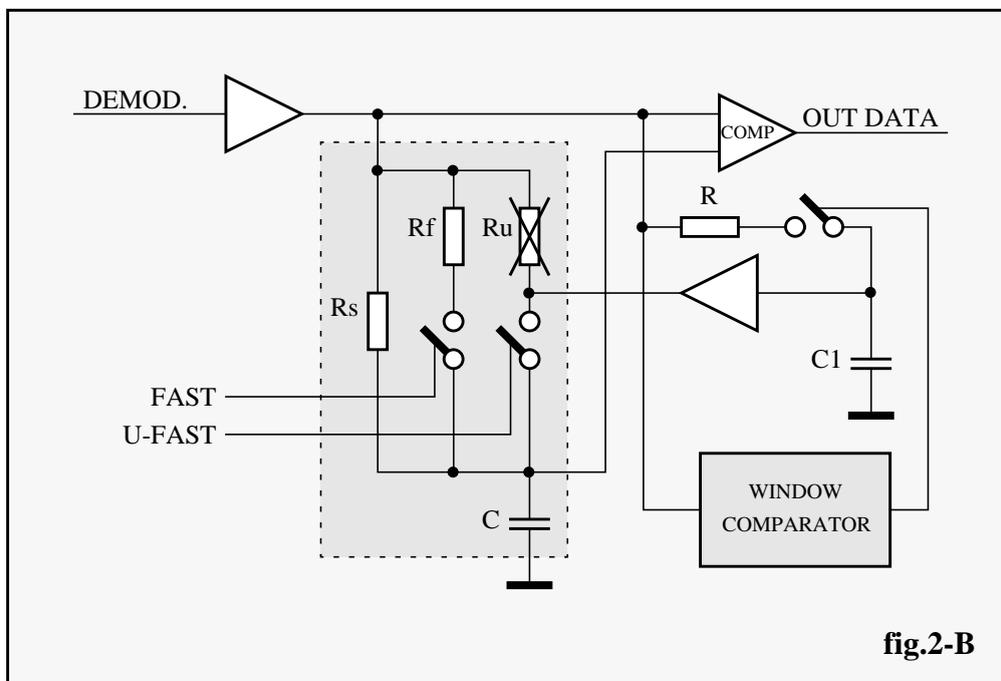
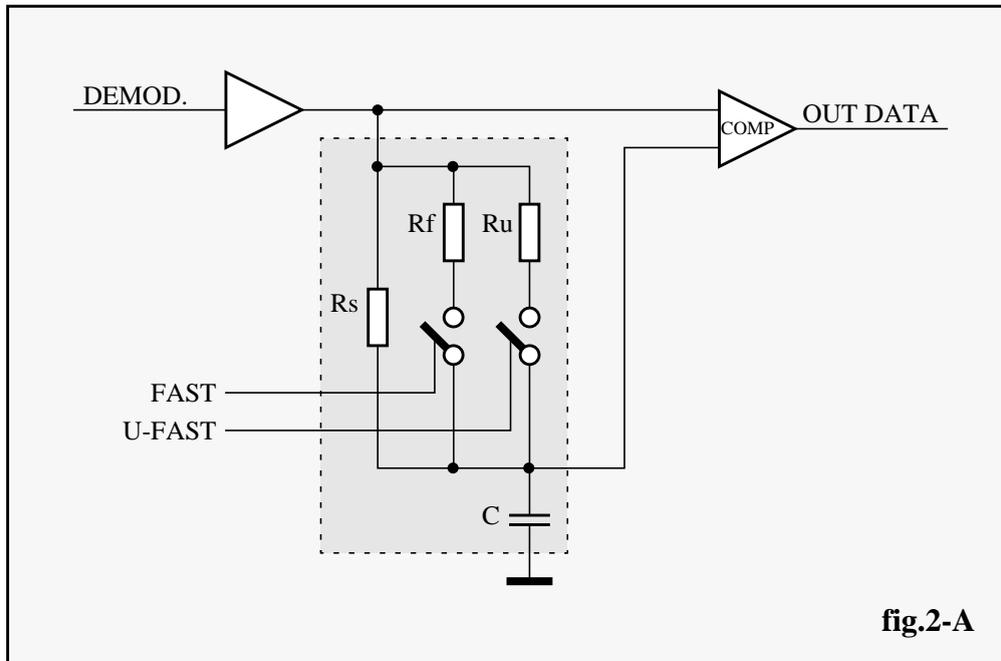
La PBA ha dimensioni contenute e viene fissata mediante tre punti di ancoraggio all'interno del contenitore metallico della RFP in modo da garantire una sufficiente robustezza meccanica.

Le connessioni vengono eseguite mediante n.7 fili isolati in teflon, opportunamente sagomati e fissati meccanicamente al substrato di vetronite con un collante adesivo resistente alle temperature di esercizio.

La potenza dissipata della PBA e' di circa 0.5 Watt. Pertanto, in base al calcolo globale della corrente assorbita dalla RFP, essa subira' un aggravio pari a circa il 15% in piu' rispetto a quella precedentemente determinata in assenza di tali modifiche.

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit	
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A
		<i>File</i>	

3.3 Schemi funzionali



Subject responsible TE/TU C. Mozetic		No. TU-97:0096 Uit	
Doc resp/Approved TE/TU (A. Giannetti)		Date 1997-05-09	
Checked		Rev A	
		File	

BATT1 - Schema funzionale

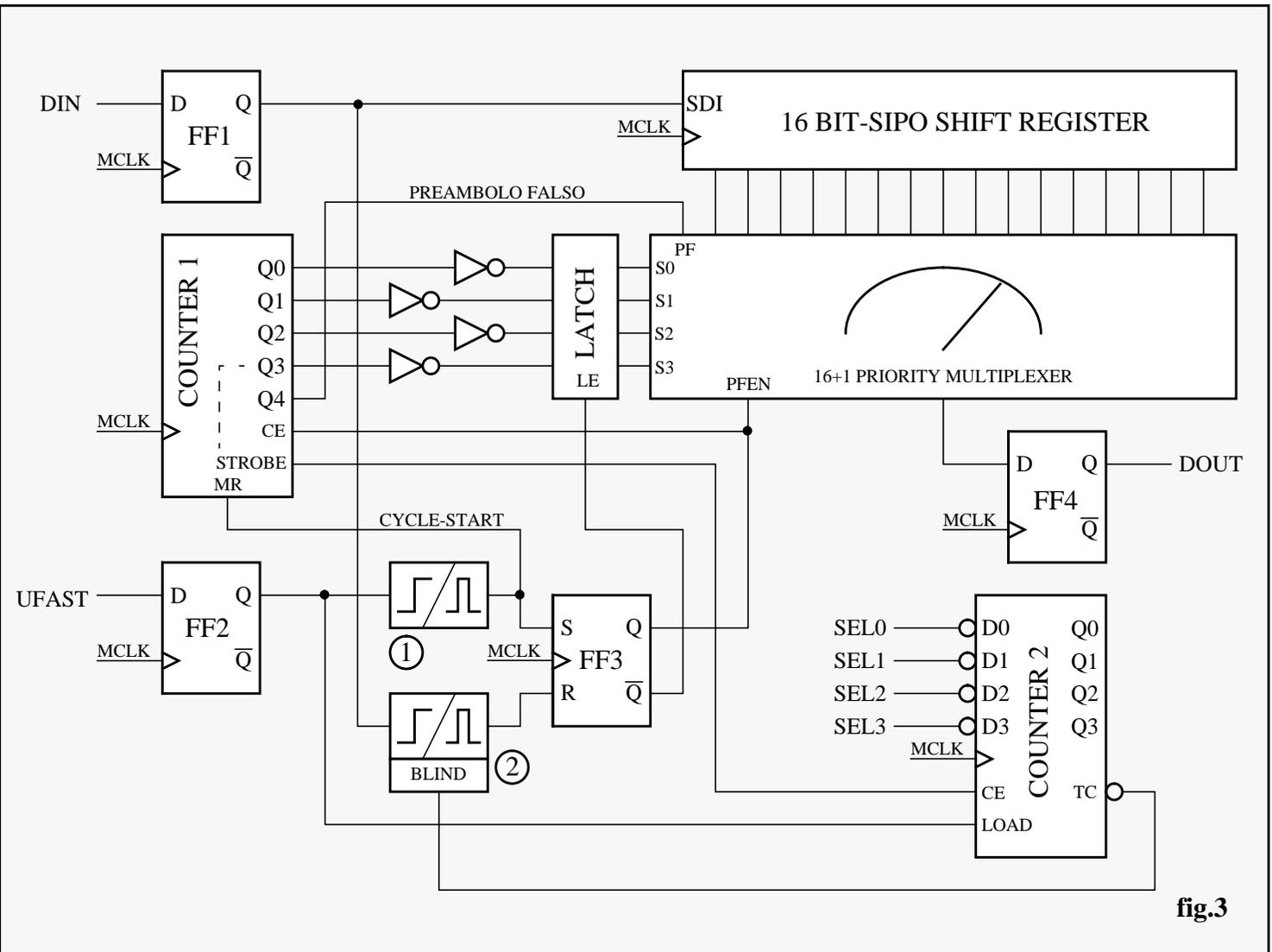
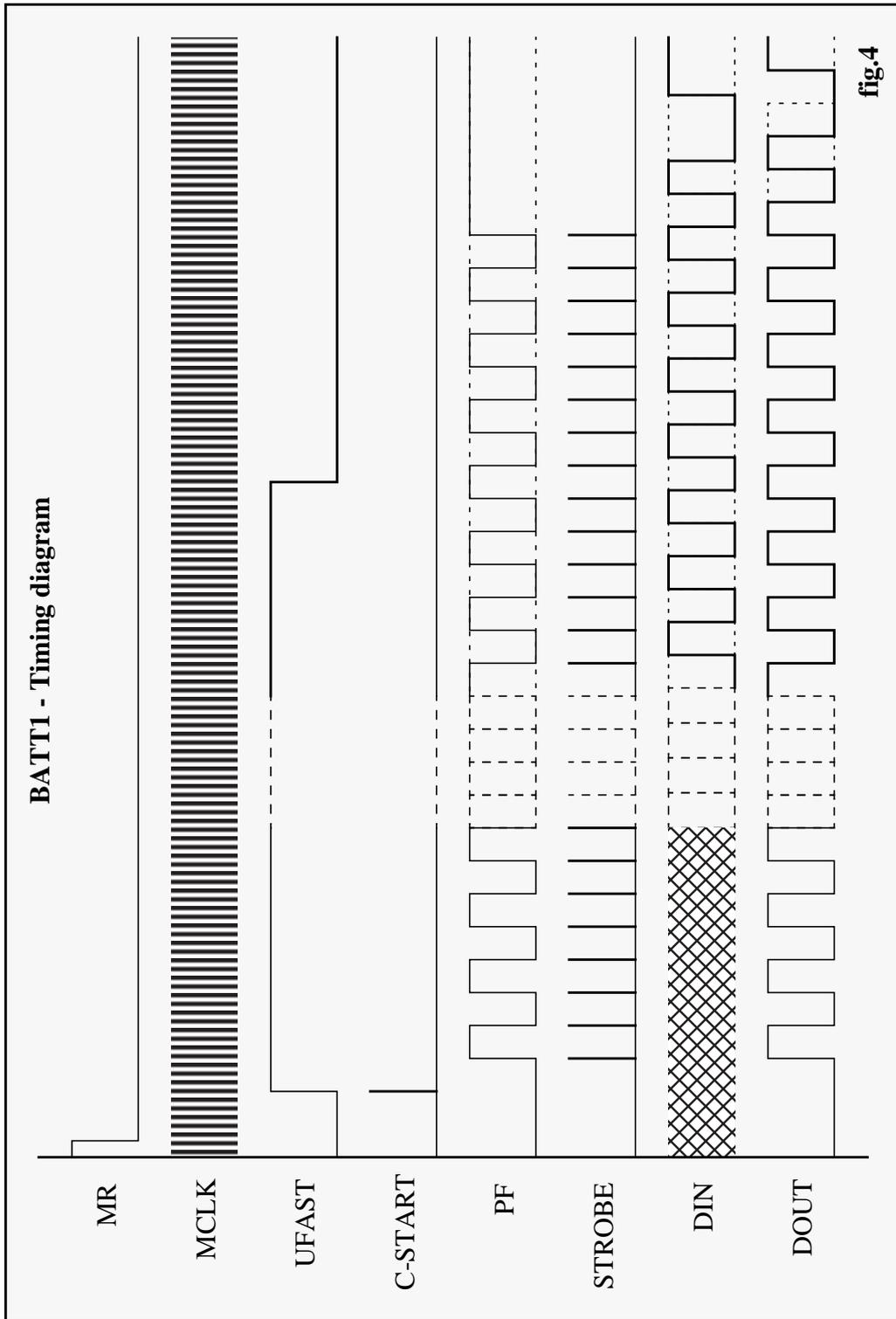


fig.3

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit	
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A
		<i>File</i>	



<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

4 MISURE

4.1 Simulazioni

La simulazione della funzionalità del dispositivo FPGA di pre-allineamento è stata eseguita con il tool di simulazione MAXPLUS II messo a disposizione dalla ALTERA™.

4.2 Misure al banco

La Base Station modificata, è stata sottoposta a tutti i test radio indicati da Telecom Italia, anche sotto stress termico. I risultati sono elencati di seguito.

- Il tasso di errore relativo alla parola di allineamento, nelle condizioni riportate nel par. 2.1, è diminuito drasticamente al punto di dover ridurre il livello del segnale ricevuto a -80dBm per poter riuscire a eseguire una misura esaustiva a breve termine. Infatti a -73dBm il WER risulta quasi zero, dopo le modifiche apportate.
- Il BER è ampiamente rientrato nei limiti previsti da Telecom Italia di quasi un ordine di grandezza.
- La sensibilità del ricevitore è aumentata di quasi due dB rispetto a quella misurata sulla stessa RFP non modificata.
- Il margine di reiezione del canale adiacente è ulteriormente aumentato con un guadagno medio di +3dB rispetto al valore misurato sulla stessa RFP non modificata (8dB in più rispetto ai requisiti imposti dal capitolato).
- La reiezione alle interferenze dovute a prodotti di intermodulazione è aumentata mediamente di circa 1dB.
- La reiezione ai disturbi causati da co-canale interferente è rientrata nei limiti previsti da Telecom Italia, purtroppo senza ulteriori margini. Il guadagno medio, con tali modifiche, è stato di circa 2dB.
- La reiezione alle interferenze spurie (canale 11) è migliorata di più di 6dB rispetto ai valori misurati sulla stessa RFP non modificata garantendo un margine superiore a 2dB rispetto ai requisiti di Telecom Italia.

<i>Subject responsible</i> TEI/TU C. Mozetic		<i>No.</i> TU-97:0096 Uit		
<i>Doc resp/Approved</i> TEI/TU (A. Giannetti)	<i>Checked</i>	<i>Date</i> 1997-05-09	<i>Rev</i> A	<i>File</i>

4.3 Test di sistema

Alla fine delle misure, l'unita' e' stata sottoposta a un breve test di sistema effettuando otto connessioni simultanee DECT, mediante altrettanti telefonini, su un'unica RFP connessa al nodo concentratore RNC. Tutte le conversazioni sono risultate chiare e nitide sia a breve che a lunga distanza.

5 RISULTATI

Anche se i risultati ottenuti sono estremamente confortanti, l'entita' delle modifiche da apportare alle Base Stations e' piuttosto rilevante. In ogni caso, tali modifiche saranno implementate anche sulla nuova versione di RFP (S. Marco 2) che, attualmente, e' ancora in fase di sviluppo presso i laboratori Ericsson di Roma.